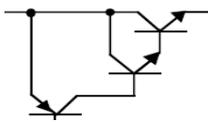
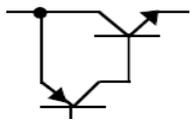
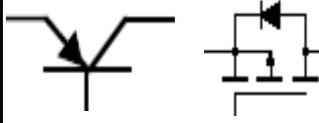


LDO的正確選用

LDO，是 *Low Dropout Regulator* 的縮寫，即：低壓差穩壓器，是以其輸入、輸出壓差低為特點，針對常規三端穩壓器而言的。輸入輸出壓差只有常見的三端穩壓器的一半，甚至更小，這是由其結構的不同而帶來的優點。其結構及性能比較見表 1。

表 1 三端穩壓器與 LDO、ULDO 的結構差別及性能比較表

Linear Regulator	Standard Regulator	Low Dropout (LDO) Regulator	Ultra Low Dropout (ULDO) Regulator
Pass Device	NPN Darlington 	NPN & PNP 	Single PNP/PMOS 
Dropout Voltage	$V_{DROP} = 2 V_{BE} + V_{CE}$ (1.7V ~ 2.5V)	$V_{DROP} = V_{BE} + V_{CE}$ (0.9V ~ 1.5V)	$V_{DROP} = V_{CE}$ (0.1V ~ 0.7V)
I_{GND}	$I_{GND} \leq 10mA$	Fairly low $I_{GND} \leq 10mA$	Fairly highest $I_{GND} : 1 \sim 40 mA (PNP)$ $I_{GND} : 1 \sim 50 \mu A (PMOS)$
Load Current	$I_{L(MAX)} = 10A$	$I_{L(MAX)} = 7.5A$	$I_{L(MAX)} = 5A$
Pd	$Pd = V_{DROP} * I_o$, Pd 大	$Pd = V_{DROP} * I_o$, Pd 中等	$Pd = V_{DROP} * I_o$, Pd 小

1、LDO的分類

以BCD的產品為例，按照LDO的 V_{drop} 來分：

$1V \leq V_{drop} \leq 1.5V$ ，Bi-Polar LDO：雙極性工藝的LDO，以AZ1117為代表；

$0.1V \leq V_{drop} \leq 0.5V$ ，ULDO：Ultra-LDO，極低壓差LDO；

其中，ULDO中，由於工藝的不同而又有兩類：

CMOS ULDO：CMOS工藝的LDO，以AP2117和AP2121為代表；

Bi-Polar ULDO：雙極性工藝的LDO，以AP2202/AZ39151為代表。

2、LDO的結構和原理

(1)、LDO的結構：

LDO實際上是一個微型的片上系統，其由流經大電流的調整管(NPN或PNP或PMOS)、電流取樣電阻、分壓電阻、過流保護、過溫保護、精密基準電壓源、差分放大器等專用電路集成在一個晶片上而成的。如圖1、圖2，圖3。

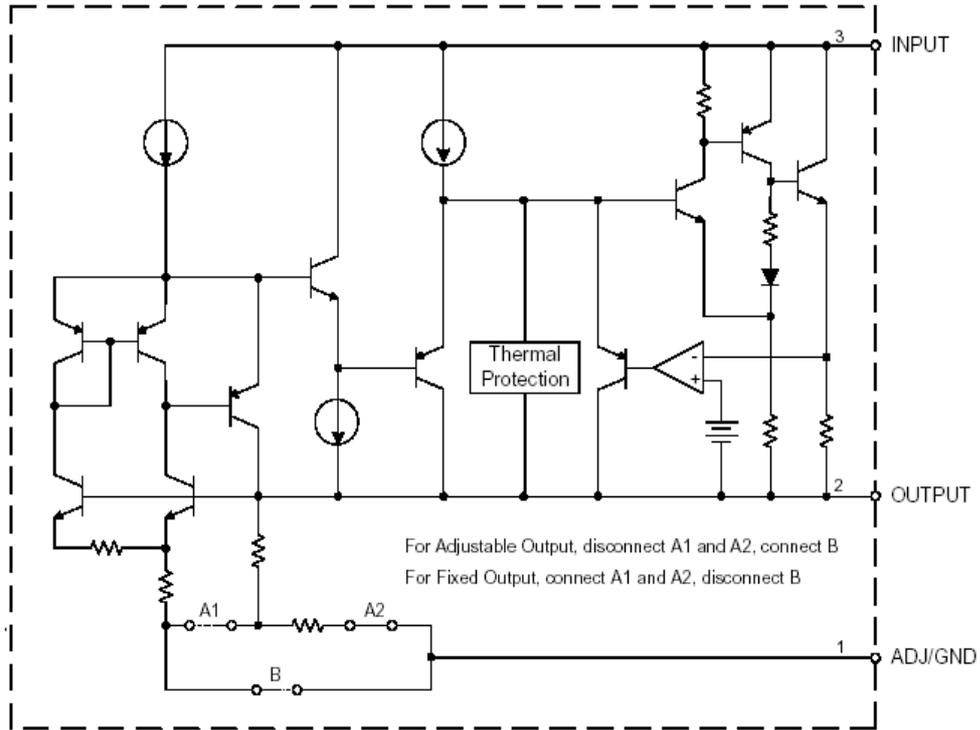


圖1 BiPolar (雙極性)工藝的LDO，輸出為達林頓管

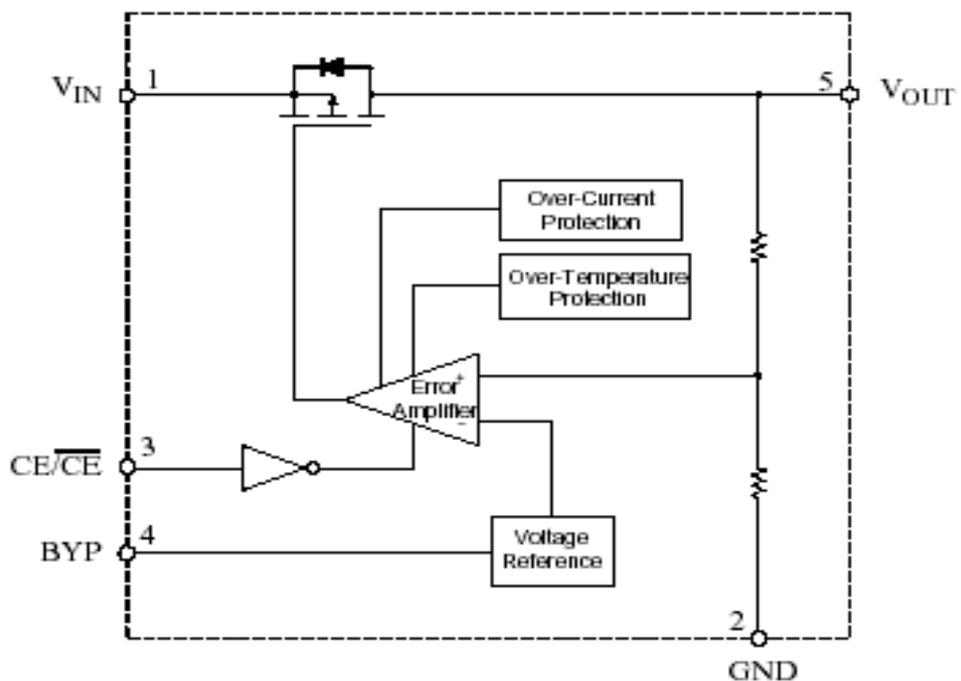


圖2 CMOS工藝的ULDO，輸出為MOSFET結構

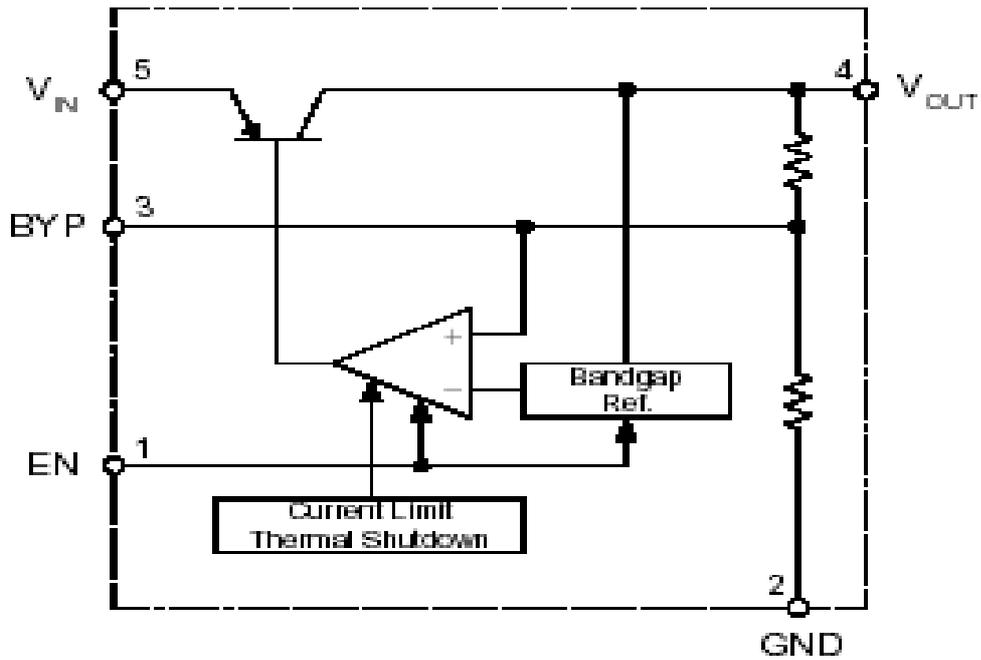


圖 3 Bi-Polar 工藝 ULDO，輸出結構為 PNP 管結構

(2) LDO 的工作原理：

由於 LDO 的輸出部分有電流取樣電阻及分壓電阻，當負載變化時，其誤差放大器檢測到負載電壓的變化，再與內部的精密基準電壓源比較，通過負反饋環路調整輸出電流使其輸出電壓保持不變。

3、LDO 的應用範圍

LDO 的應用面非常廣，只要設計的電路對其電源有如下要求，均能夠選用 LDO：

- (1)、體積小、重量輕、電池供電的手持類設備，如：PDA、可攜式 DVD；
- (2)、電路要求電源有較高的噪音及紋波抑制能力，如：對講機、無繩電話；
- (3)、單一電壓輸入，多種電壓輸出的電路，如：DVD、電腦主機板；
- (4)、不允許使用電感的電路，如手機、藍牙耳機；
- (5)、體積小、空間不足，要求電源自身功耗小的場合，如：DVB、網卡；
- (6)、要求電路結構簡單，成本低。

此時，選用 LDO，既能夠滿足電路的設計要求，又能夠達到很好的性價比。

4、LDO 的使用

(1)、由於所有精密的調節電路已經集成在內部，這就使 LDO 的應用非常簡單：只需要一個輸入電容和一個輸出電容，如圖 3

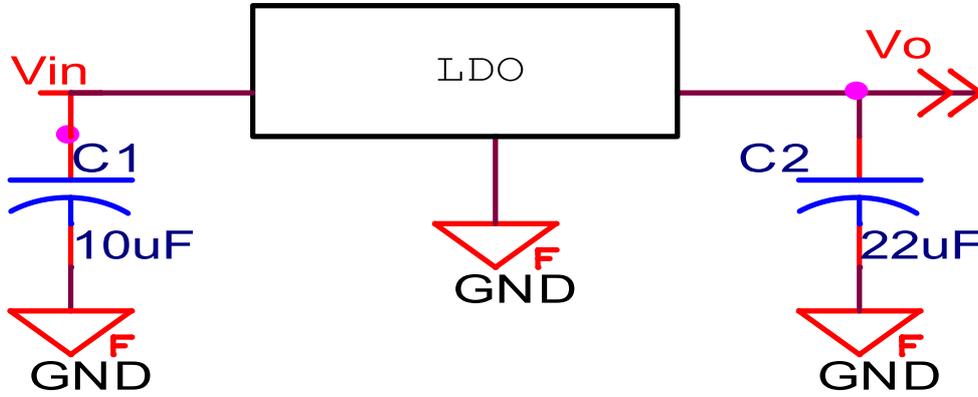


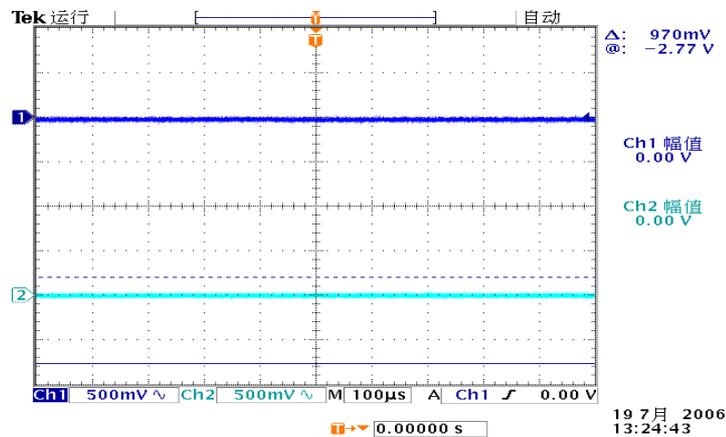
圖 3 LDO 的使用

注意：整個 LDO 回路的增益及其相移決定了 LDO 的穩定，因此必須保證此輸入電容值必須在合適範圍內的數值，否則將引起回路振盪，導致輸出電壓不穩，紋波變大，不能正常工作。以 AZ1117 為例，在輸入輸出電容在 10uF 以上，LDO 回路電壓穩定，其輸出紋波在 20mV 以下。

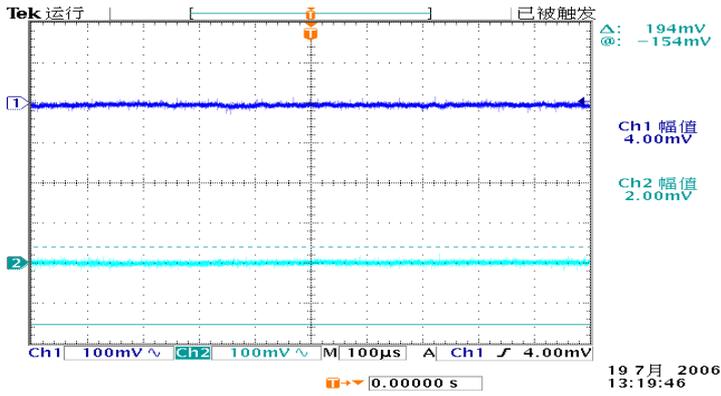
下面是對是否有輸入電容的實際測試結果

以 BCD 產品 AZ1117 為例：輸入 5V，輸出 3.3V，輸入電容 10uF，輸出電容 22uF，負載為 6.6Ω 電阻；CH1 為輸入交流波形，CH2 為輸出交流波形，示波器：Tek TDS3012)：

輸入電源波形：

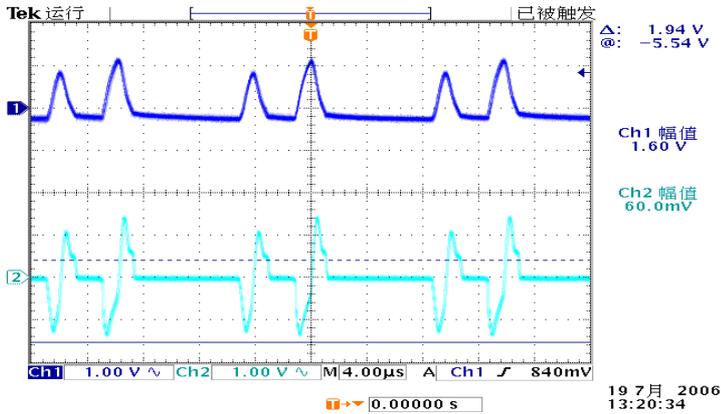


輸入輸出電容均有時的波形：



使用萬用表 (Fluke 45) 測試輸入輸出電壓： $V_i=5V$ ； $V_o=3.3V$

無輸入電容時的波形：



使用萬用表測試輸入輸出電壓： $V_i=4.9V$ ； $V_o=3.0V$

(2)、兩個 LDO 的級連：

在 DVD 解碼板的應用中，兩個 LDO 的級連使用隨處可見，但有時為了降低 EMI，而在兩者之間加上一個電感，這是可行的，但 V_{o1} 的輸出電容、 V_{in2} 的輸入電容不可少，如果沒有 V_{in2} 的輸入電容，那麼 V_{o2} 的紋波可達到 100mV 以上。如圖 4：

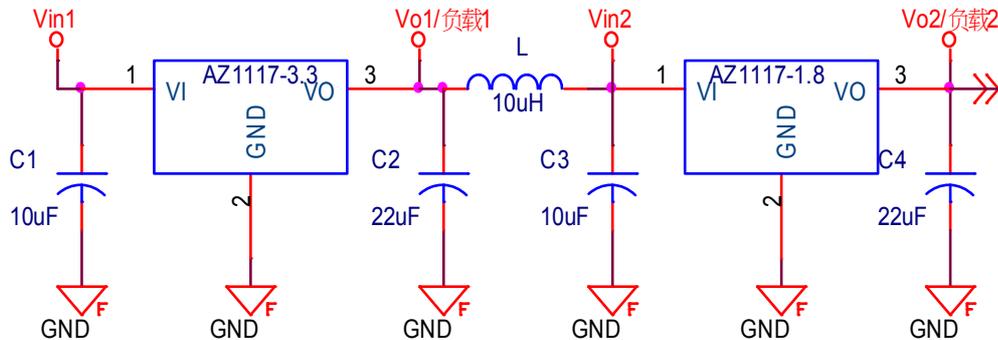
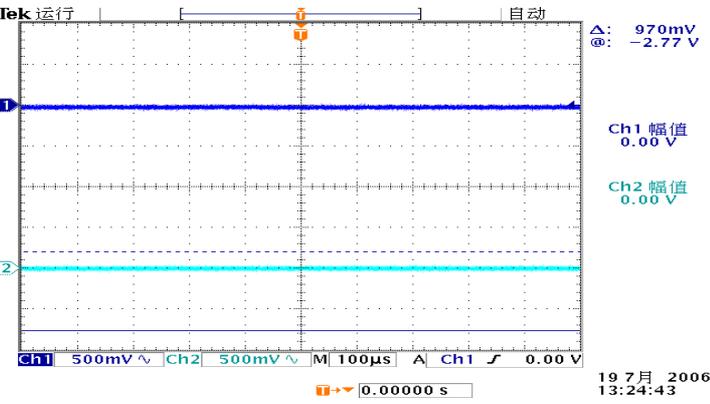


圖 4 LDO 的級連使用 (一)

下面是用 *AZ1117* 為例的實際測試結果（輸入 $5V$ ，負載 1 為 33Ω 電阻，輸入輸

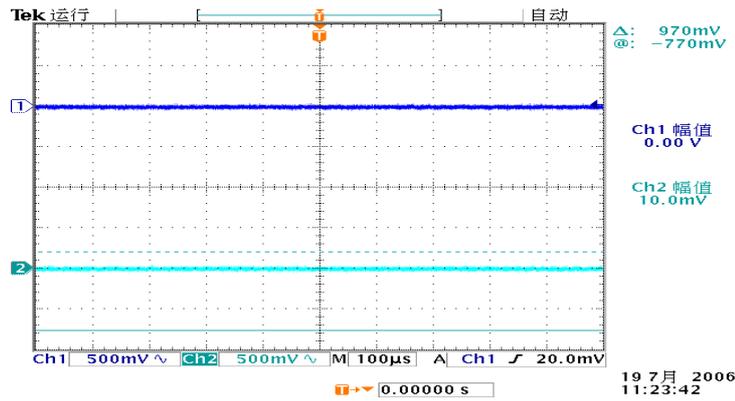
出電容如圖示數值，負載 2 為 6.6Ω 電阻，*Ch1* 為 V_{o1} 交流波形，*Ch2* 為 V_{o2} 交流

波形）：



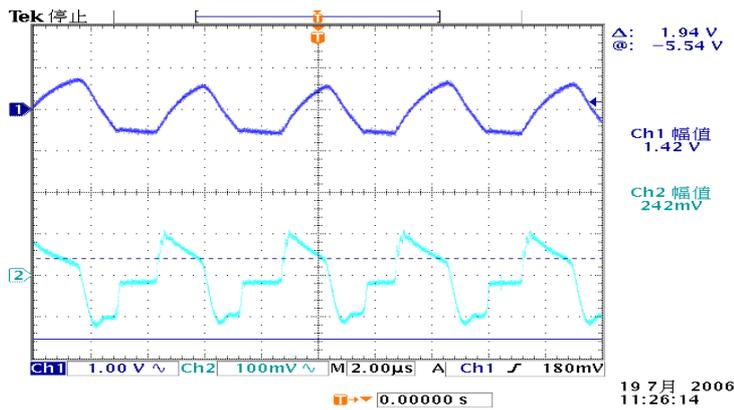
正常輸出波形：

使用萬用表測試輸入輸出電壓： $V_{o1}=3.3V$ ； $V_{o2}=1.8V$



無輸入電容 $C1$ 時的波形：

使用萬用表測試輸入輸出電壓： $V_{o1}=2.95V$ ； $V_{o2}=1.8V$



無輸入電容 $C2$ 時的波形：

使用萬用表測試輸入輸出電壓： $V_{o1}=3.3V$ ； $V_{o2}=1.58V$

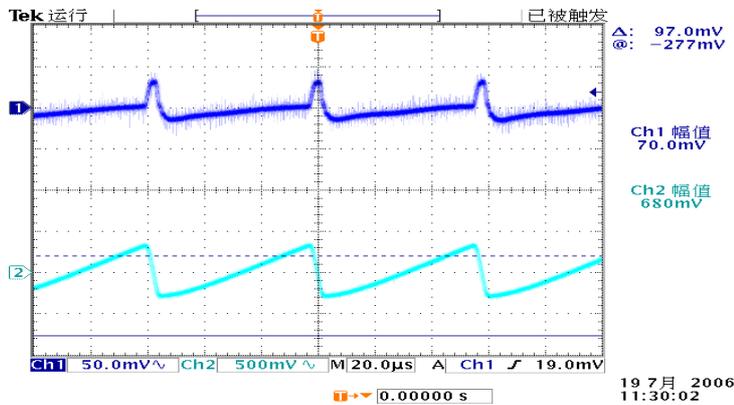


圖 5 是另一種常見的 LDO 級連使用，常見問題是沒有使用 $C2$ ，導致 V_{o2} 的電壓下降，實測僅 $1.3V$ ，紋波則達到伏級。

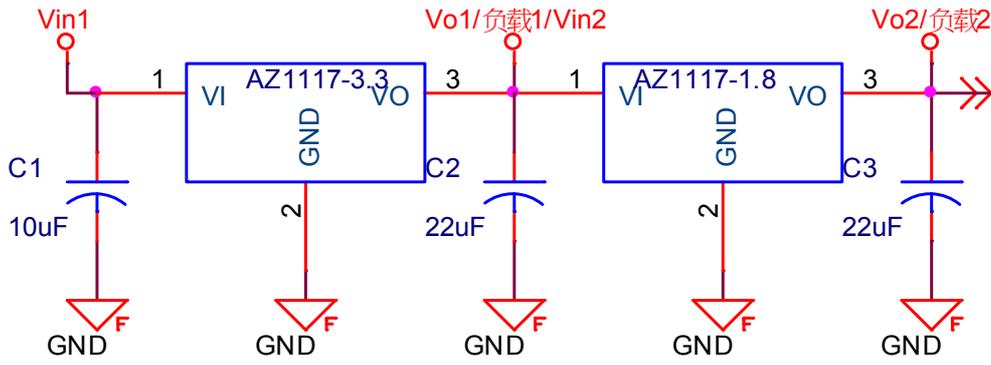
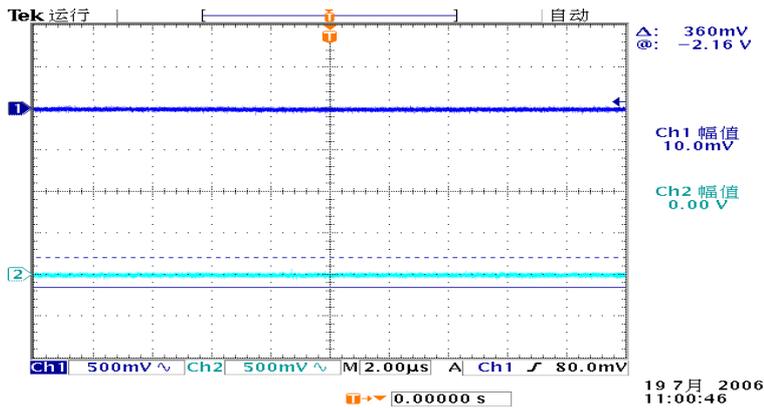


圖 5 LDO 的級連使用 (二)

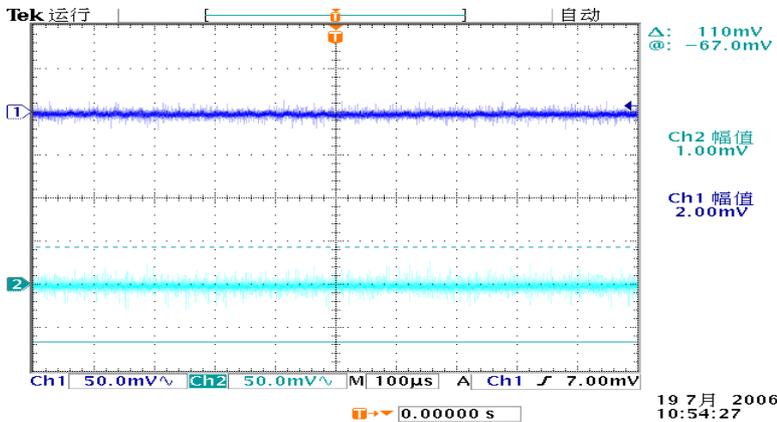
下面是以 AZ1117 為例實際測試的結果 (輸入 5V, 負載 1 為 33Ω 電阻, 輸入輸出電容如圖示數值, 負載 2 為 6.6Ω 電阻, Ch1 為 Vo1 交流波形, Ch2 為 Vo2 交流波形):

輸入電源波形:



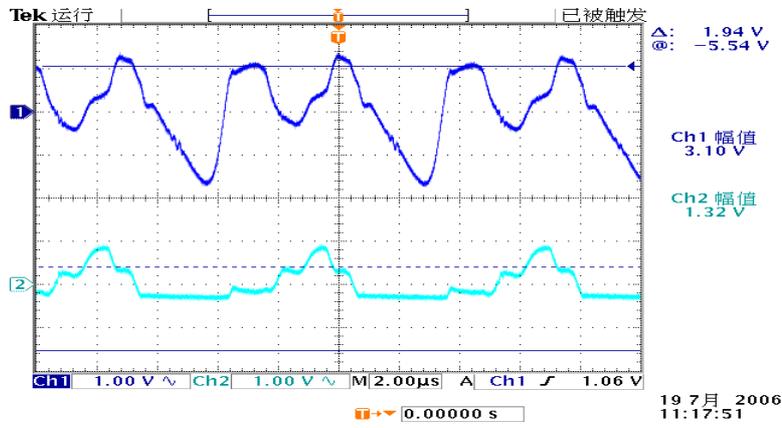
正常的波形:

使用萬用表測試輸入輸出電壓: Vo1=3.3V; Vo2=1.8V



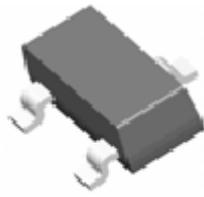
無 C 的波形：

使用萬用表測試輸入輸出電壓： $V_{o1}=3.0V$ ； $V_{o2}=1.3V$

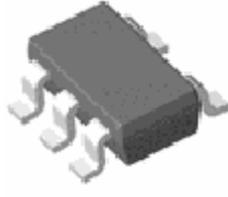


5、LDO 的封裝

下面是常見的 LDO (含 ULDO) 的各種封裝形式。



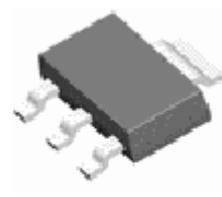
SOT-23-3



SOT-23-5



SOT-89-3



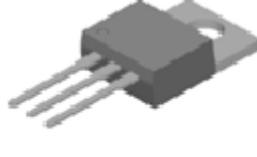
SOT-223



TO-252-2



TO-263-3



TO-220-3

6、LDO使用中應注意的重要參數

(1) 最大工作電壓：表示 LDO 的輸入對地端之間的電壓，此電壓決定了 LDO 只能在低於此電壓的條件下使用，輸入電壓超過此值，將使 LDO 可能損壞；

(2) 最大輸出電流：表示 LDO 只能對負載提供小於此數值的電流，過大則 LDO 出現過流保護，輸出電壓將降低，負載得不到正常工作電壓而停止工作，從而達到保護負載的目的；

(3) I_{GND} 值：這是固定輸出電壓型的 LDO 接地腳的電流值，該值越小，說明 LDO 的靜態功耗低；

(4) I_{ADJ} 值：這是可調型的 LDO 所特有的電壓調整端 ADJ 的電流值。在設計輸出電壓精度較高時必須考慮這部分電流的影響，以 AZ1117 為例， I_{ADJ} 約 60uA，如果流經電阻值為 300Ω 的電阻，則可以產生近 20mV 的壓降。此時，在需要精密電源應用時， $V_O = V_{REF} * (1 + R2/R1) + I_{ADJ} * R2$ 中的 $I_{ADJ} * R2$ 則不能忽略；

(5) PSRR: Power Supply Ripple Rejection 電源紋波抑制比，由於輸入 LDO 的電源通常存在許多干擾信號，此值的大小表明了 LDO 對這些干擾信號的抑制能力，通常 LDO 可達 70dB 以上；

(7) 最小輸入輸出電壓差 V_{drop} ：此數值確定了 LDO 能夠應用的最低輸入電壓，即： $V_{in(min)} = V_O + V_{drop}$ ，如果實際 V_{in} 小於此數值，那麼，該 LDO 就不能正常輸出負載所需要的電壓，負載也就不能正常工作；

在一定的負載電流下，該數值越小，說明其性能越好，如：

AZ1117 LDO，在負載 500mA 時， $V_{drop} = 1.08V$ ，負載 1A 時， $V_{drop} = 1.15V$ ；

AP2115/7 CMOS LDO 在滿載 300mA 時 $V_{drop} = 0.3V$ ；

AP2121/2 CMOS LDO 在滿載 150mA 時 $V_{drop} = 0.17V$ 。

(8) 線性調整率 V%：LDO 空載或小負載時，LDO 輸出電壓變化量與輸入電壓變化量的百分比值，由圖 6 所示：

圖中， V_O 為最低輸入電壓；

V_{MAX} 為最高輸入電壓；

ΔV_o 為輸出電壓的變化量。

則：

$$V\% = \Delta V_o / \Delta V_{in} \circ$$

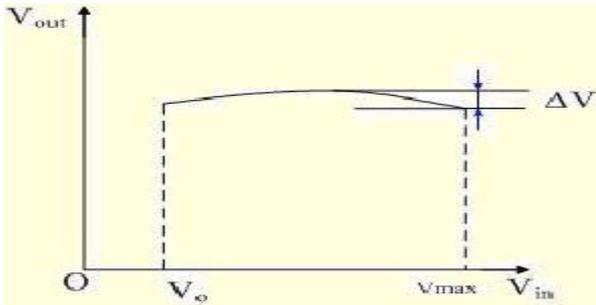


圖 6 線性調整率

此值越小，說明其性能越好

(9) 負載調整率 $V\%$ ：LDO 在帶載工作時，其負載電流變化時 LDO 輸出電壓的變化量

與標稱輸出電壓值的百分比值，如圖 7 所示：

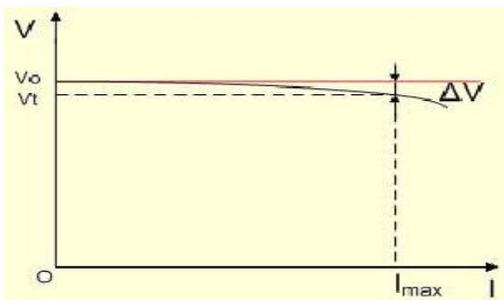


圖 7 負載調整率

圖中， V_o 為負載 $0.1mA$ 時的輸出電壓；

V_t 為負載最大電流時的輸出電壓；

$\Delta V = V_o - V_t$ ，為輸出電壓的變化量。

則：

$$V\% = \Delta V / V_t \circ$$

此值越小，說明 LDO 對源自負載的干擾的抑制能力越強。

(8) 過溫保護點：當晶片的結溫達到一定數值時會觸發過溫保護，輸出電壓將降低，達到保護晶片和負載的目的。如 AZ1117，過溫保護點為 $125^{\circ}C$ 。關於結溫的計算可參照下面的 (9)。

(9) 熱阻 (θ_{JA})：LDO 在工作時自身溫度的上升速率，以 $^{\circ}C/W$ 為單位。此資料對於

LDO 的散熱設計非常重要，由於很多 LDO 屬於 SOT-223、TO-252、TO-263 的表貼封裝，其以 PCB 的銅箔為散熱基礎，而這就需要考慮此部分銅箔面積的大小要適合，否則 LDO 溫升過快導致 LDO 過熱保護。

節溫的計算請參考下面公式：

$$T_J = T_A + P_D * \theta_{JA}$$

T_A 為環境溫度， P_D 為晶片上消耗的功耗，可用 $(V_{in} - V_{out}) * I_{out}$ 近似計算， θ_{JA} 為晶片節到環境的熱阻，它與封裝形式以及散熱片大小和形狀有關，一般 *Datasheet* 上會給出不帶散熱片時的熱阻。如果晶片使用中過熱，可考慮增大散熱片的面積以減小熱阻，從而解決過熱問題。

7、LDO 的效率及功耗

由於 LDO 是通過負反饋調節輸出電流而保持輸出電壓不變，且 $V_{in} > V_o + V_{DROP}$ ，則有：

$$(1) \eta = P_o / P_{in} = (V_o * I_o / V_{in} * I_{in}) * 100\%$$

$$(2) \eta = (V_o * I_o / V_i * (I_{GND} + I_o)) * 100\%$$

此時，LDO 自身的功耗： $P = V_{DROP} * I_o = (V_{in} - V_o) * I_o + V_{in} * I_{GND}$ 。

這樣，使得我們在選擇 LDO 就有了參考依據：在滿足負載系統需要的電流、電壓前提下，使選用的 LDO 在工作時的功耗最小。

以 DVD 為例，在 DVD 系統中，主電源為 5V，負載需要 3.3V、2.5V、1.8V 的電壓，假設每路需要的電流為 500mA 電流，那麼當選擇 AZ1117 時，整個供電系統的設計為：AZ1117H-3.3、AZ1117H-2.5、AZ1117H-1.8，這樣得到三個 AZ1117 的功耗：

方案 A：對於 AZ1117H-3.3，其輸入輸出電壓差為： $5 - 3.3 = 1.7V$ ，滿足 AZ1117H-3.3 在此條件下的 V_{DROP} ， $P1 = 1.7 * 0.5 = 0.85W$ ；

對於 AZ1117H-2.5，其輸入輸出電壓差為： $5 - 2.5 = 2.5V$ ，滿足 AZ1117H-2.5 在此條件下的 V_{DROP} ， $P2 = 2.5 * 0.5 = 1.25W$

對於 AZ1117H-1.8，其輸入輸出電壓差為： $5 - 1.8 = 3.2V$ ，滿足 AZ1117H-2.5 在此條

件下的 V_{DROP} ， $P3=3 \cdot 2 \cdot 0.5=1.6W$

三個 AZ1117 的總功耗 $P=0.85+1.25+1.6=3.35W$ ，並且後兩者需要較大的散熱面積。

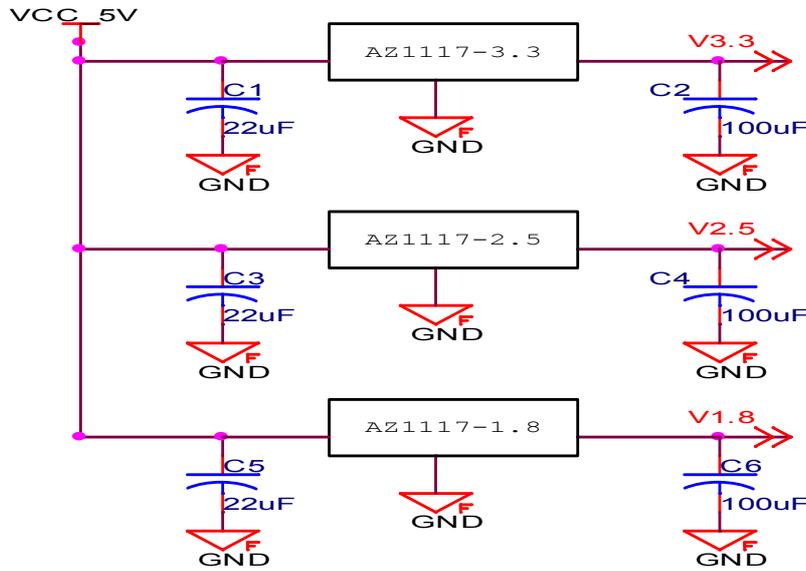


圖 7 方案 A

方案 B：如果對於 5V 到 2.5V、1.8V 傳輸中，分別增加兩個、三個二極體 1N4001

($V_D=0.6V$)，得到：

對於 AZ1117H-3.3，其功耗不變， $P1=1.7 \cdot 0.5=0.85W$ ；

對於 AZ1117H-2.5，其輸入輸出電壓差為： $5-0.6 \cdot 2=3.8V$ ， $3.8-2.5=1.3V$ ，滿足

AZ1117H-2.5 在此條件下的 V_{DROP} ， $P2=1.3 \cdot 0.5=0.65W$ ；

對於 AZ1117H-1.8，其輸入輸出電壓差為： $5-0.6 \cdot 3=3.2V$ ， $3.2-1.8=1.4V$ ，滿足

AZ1117H-2.5 在此條件下的 V_{DROP} ， $P=1.4 \cdot 0.5=0.70W$ ；

對於 AZ1117，總功耗 $P=0.85+0.65+0.7=1.85W$ ，而後兩者並不需要特別增加散熱面積。

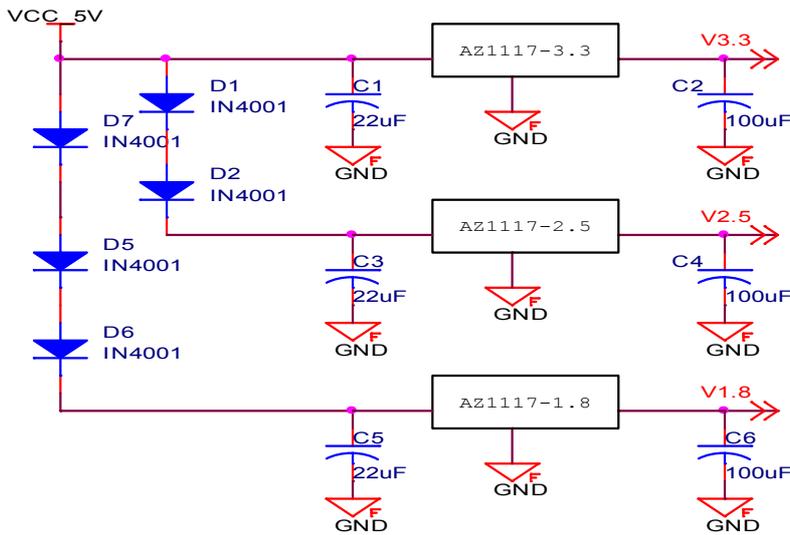


圖 8 方案 B

儘管方案 B 增加了部分成本，對電源來說，總的功耗不變，但減小了 LDO 功耗，明顯降低了 LDO 表面溫度，也降低了其對散熱面積的要求，增加了 LDO 的穩定性和可靠性。

8、PCB 佈線的考慮

LDO 的 PCB 佈線工藝非常重要，以接地點今可能的粗短及走捷徑為原則，即：星型接地。當佈線不良及靠近大電流的佈線時，其降噪性能將嚴重下降，濾波電容或地線選擇不當時，由負載通過地線返回的電流中，雜訊和紋波將增加，合正確的佈線及元器件的合理安排都有利於雜訊和紋波的減小及元器件之間的相互干擾。

圖 8 即為推薦的 LDO 佈線參考。

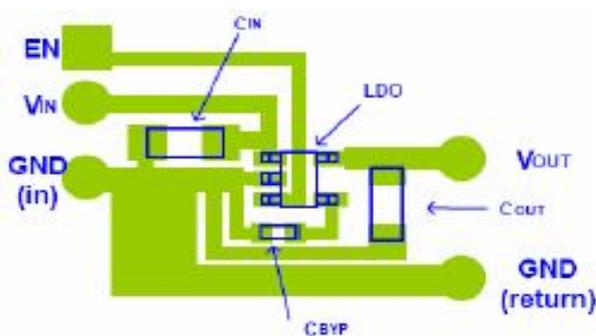


圖 8 推薦的 LDO 佈線

隨著電子技術的發展，電子產品的體積也變得越來越小，使得 LDO 有了更多的發揮舞臺，各類的 LDO 將層出不窮，BCD 公司將不盡餘力地推動 LDO 的設計以滿足將來更多的需要